

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

特許第3097155号
(P3097155)

(45) 発行日 平成12年10月10日 (2000. 10. 10)

(24) 登録日 平成12年 8 月11日 (2000. 8. 11)

(51) Int.Cl.⁷

識別記号

F I

B 4 1 J 2/045
2/01
2/055

B 4 1 J 3/04

1 0 3 A
1 0 1 Z

請求項の数 6 (全 4 頁)

(21) 出願番号 特願平3-77718

(22) 出願日 平成 3 年 4 月10日 (1991. 4. 10)

(65) 公開番号 特開平4-310748

(43) 公開日 平成 4 年11月 2 日 (1992. 11. 2)

審査請求日 平成10年 4 月 8 日 (1998. 4. 8)

(73) 特許権者 000002369

セイコーエプソン株式会社

東京都新宿区西新宿 2 丁目 4 番 1 号

(72) 発明者 吉田 昌彦

長野県諏訪市大和 3 丁目 3 番 5 号 セイ
コーエプソン株式会社内

(72) 発明者 猿田 稔久

長野県諏訪市大和 3 丁目 3 番 5 号 セイ
コーエプソン株式会社内

(74) 代理人 100093388

弁理士 鈴木 喜三郎 (外 1 名)

審査官 尾崎 俊彦

(56) 参考文献 特開 昭63-158263 (J P, A)

最終頁に続く

(54) 【発明の名称】 インクジェット式印字ヘッドの駆動装置および駆動方法

1

(57) 【特許請求の範囲】

【請求項 1】 複数のノズルに対応して各々設けられた
圧電素子を所定の印字タイミングで選択的に駆動し、該
ノズルからインク滴を吐出して記録を行うインクジェ
ット式印字ヘッドの駆動装置であって、
前記圧電素子の印字タイミングと異なるタイミングで、
前記圧電素子を充電する充電電圧を前記圧電素子に印加
することにより該圧電素子の放電による電荷の減少を補
う圧電素子充電手段、
を備えることを特徴とするインクジェット式印字ヘッド
の駆動装置。

【請求項 2】 複数のノズルに対応して各々設けられた
圧電素子を所定の印字タイミングで走査電圧波形を選択
することにより前記圧電素子を選択的に駆動し、該ノズ
ルからインク滴を吐出して記録を行うインクジェット式

2

印字ヘッドの駆動装置であって、

前記圧電素子の印字タイミングと異なるタイミングで、
前記走査電圧波形が一定の期間に前記圧電素子を充電す
る圧電素子充電手段、

を備えることを特徴とするインクジェット式印字ヘッド
の駆動装置。

【請求項 3】 前記圧電素子充電手段は、すべての前記
圧電素子を同一のタイミングで充電することを特徴とす
る請求項 1 又は請求項 2 に記載のインクジェット式印字
ヘッドの駆動装置。

【請求項 4】 複数のノズルに対応して各々設けられた
圧電素子を所定の印字タイミングで選択的に駆動し、該
ノズルからインク滴を吐出して記録を行うインクジェ
ット式印字ヘッドの駆動方法であって、
前記圧電素子の印字タイミングと異なるタイミングで、

前記圧電素子を充電する充電電圧を前記圧電素子に印加することにより該圧電素子の放電による電荷の減少を補うことを特徴とするインクジェット式印字ヘッドの駆動方法。

【請求項5】 複数のノズルに対応して各々設けられた圧電素子を所定の印字タイミングで走査電圧波形を選択することにより前記圧電素子を選択的に駆動し、該ノズルからインク滴を吐出して記録を行うインクジェット式印字ヘッドの駆動方法であって、

前記圧電素子の印字タイミングと異なるタイミングで、前記走査電圧波形が一定の期間に前記圧電素子を充電することを特徴とするインクジェット式印字ヘッドの駆動方法。

【請求項6】 前記圧電素子充電手段は、すべての前記圧電素子を同一のタイミングで充電することを特徴とする請求項4又は請求項5に記載のインクジェット式印字ヘッドの駆動方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、インクジェット方式の印字ヘッドの駆動装置および駆動方法に関するものである。

【0002】

【従来の技術】従来のインクジェット式印字ヘッドは、印字信号を圧電素子に印加して圧電素子を伸長させ、このときに発生するインクの動圧によりノズルからインク滴を飛出させて印刷用紙にドットを形成させるものである。

【0003】

【発明が解決しようとする課題】本発明が解決しようとする課題は、駆動手段が走査電圧を遮断している時、圧電素子の電荷が圧電素子の絶縁抵抗による放電により減少し、インクの吐出に影響する点である。

【0004】本発明の目的は、上記課題を解決し、インク吐出特性の優れたインクジェット式印字ヘッドの駆動装置および駆動方法を提供することにある。

【0005】

【課題を解決するための手段】本発明のインクジェット式印字ヘッドの駆動装置および方法は、圧電素子の印字タイミングと異なるタイミングで、前記圧電素子を充電する充電電圧を前記圧電素子に印加することを特徴とする。

【0006】

【実施例】本発明の第1の実施例の回路図を図1に示す。1は走査電圧入力端子、2は全ビットオン信号入力端子、3はイネーブル信号入力端子、4はラッチ信号入力端子、5はシリアル印字信号入力端子、6はシフトレジスタ用クロック入力端子、7はシフトレジスタ、8はラッチ、9はANDゲート、10はORゲート、11はトランスファゲート、12は圧電素子である。

【0007】(1)シリアル信号入力端子5から入力されたシリアル印字信号は、シフトレジスタ7によりシフトレジスタ用クロック入力端子6から入力されるクロック信号に同期してパラレル信号に変換される。

【0008】(2)パラレル信号に変換された印字信号はラッチ8によりラッチ信号入力端子4からラッチ信号が入力するとラッチされる。

【0009】(3)ラッチされた印字信号は、イネーブル信号入力端子3から入力されるイネーブル信号とANDゲート9で論理演算されて印字のタイミングが選択される。

【0010】(4)ラッチされた印字信号に従ってトランスファゲート11がON、OFFし、選択された圧電素子12にのみ走査電圧入力端子1から入力される走査電圧が印加される。

【0011】(5)走査電圧を印加された圧電素子12は走査電圧の波形に従い、放電及び、充電することにより伸長しインクの吐出を行う。

【0012】ここで、ORゲート10が付加されていることにより、全ビットオン信号入力端子2から入力される全ビットオン信号ですべてのトランスファゲートがONしてすべての圧電素子に走査電圧が印加される。

【0013】このとき、図2のタイミングチャートに示す様に走査電圧が高電位で一定の期間に全ビットオン信号を与えることにより、印字信号とは無関係に、また圧電素子の駆動に影響せずに圧電素子12を充電する。

【0014】全ビットオン信号を与える間隔T[s]は任意であるが、圧電素子の両端のt[s]後の電位差V[V]は、

$$V = E_0 (1 - e^{-t/RC})$$

E_0 : t=0の時の圧電素子の両端の電位差[V]

R : 圧電素子の抵抗[Ω]

C : 圧電素子の静電容量[F]

で求められるので、例えば放電による圧電素子の両端の電位差の減少を E_0 の1%程度にするためには、

$$T = -\ln(0.01) \cdot RC$$

が目安となる。

【0015】次に、第2の実施例として、本発明の第2の実施例の回路図を図3に示す。

【0016】13は走査電圧入力端子、14はイネーブル信号入力端子、15はラッチ信号入力端子、16はシリアル印字信号入力端子、17はシフトレジスタ用クロック入力端子である。

【0017】また、図3の各入力端子に入力する信号のタイミングチャートを図4に示す。回路の構成は、第1の実施例とほぼ同様であるが、本実施例では、図4のタイミングチャートに示すようにシリアル印字信号をラッチした後に全ビットオンのシリアル印字信号をシリアル信号入力端子16に入力する。

【0018】ラッチした印字信号による印字が終了した

5

後にラッチ信号入力端子15にラッチ信号を入力し、全ビットONの印字信号をラッチする。

【0019】次の印字信号を入力するまでの走査電圧が高電位で一定の期間にイネーブル信号入力端子14にイネーブル信号を入力することで、全てのトランスファゲート11をONして、全ての圧電素子12を充電する。

【0020】

【発明の効果】所定のタイミングですべての圧電素子を充電するので、ある圧電素子に駆動しない状態が続いても、圧電素子の放電による電荷の減少が補われるので、インクの吐出に影響がない。

【図面の簡単な説明】

【図1】本発明を使用したインクジェット式印字ヘッドの駆動回路の第1の実施例の回路図である。

【図2】図1の回路の入力端子に入力する信号のタイミングチャートである。

【図3】本発明を使用したインクジェット式印字ヘッドの駆動回路の第2の実施例の回路図である。

【図4】図3の回路の入力端子に入力する信号のタイミ

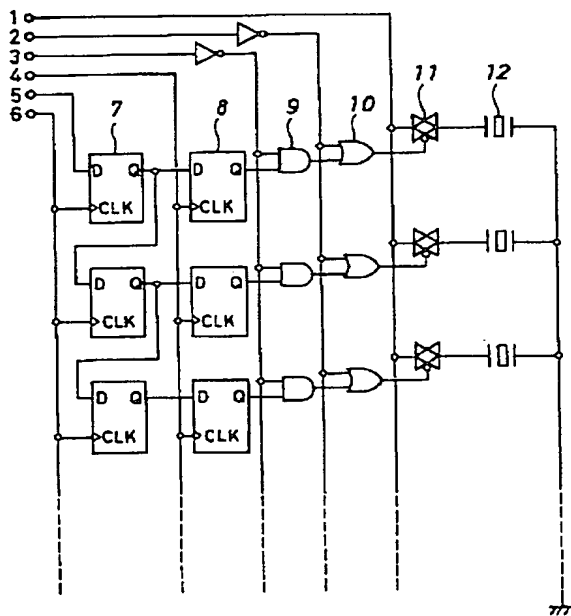
6

ングチャートである。

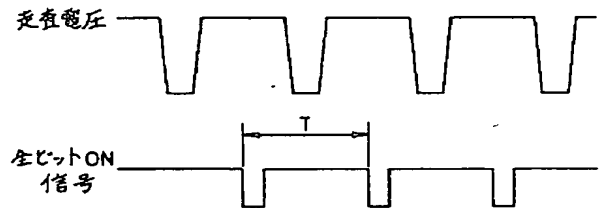
【符号の説明】

- 1 走査電圧入力端子
- 2 全ビットON信号入力端子
- 3 イネーブル信号入力端子
- 4 ラッチ信号入力端子
- 5 シリアル印字信号入力端子
- 6 シフトレジスタ用クロック入力端子
- 7 シフトレジスタ
- 8 ラッチ
- 9 ANDゲート
- 10 ORゲート
- 11 トランスファゲート
- 12 圧電素子
- 13 走査電圧入力端子
- 14 イネーブル信号入力端子
- 15 ラッチ信号入力端子
- 16 シリアル印字信号入力端子
- 17 シフトレジスタ用クロック入力端子

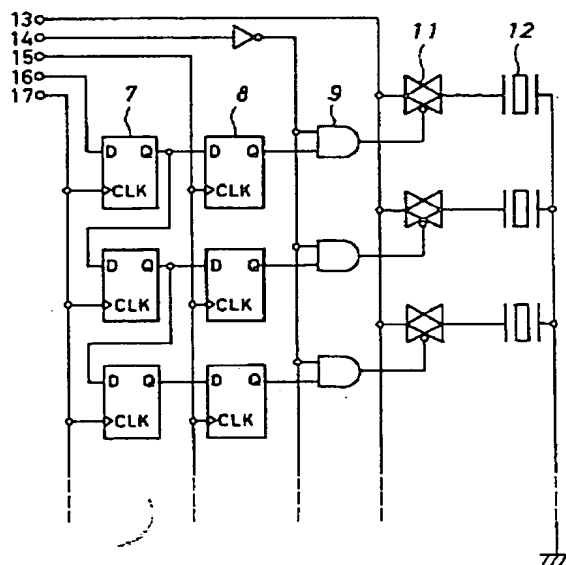
【図1】



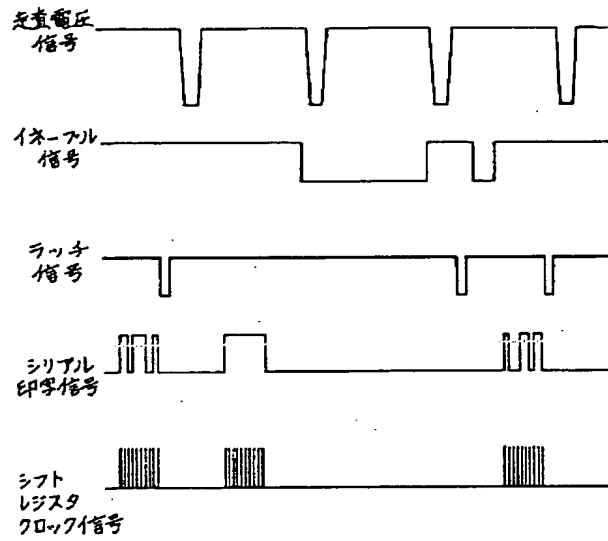
【図2】



【図3】



【図4】



フロントページの続き

(58) 調査した分野 (Int. Cl. ⁷, DB 名)

B41J 2/045

B41J 2/01

B41J 2/055